

CLIPPEDIMAGE= JP411040683A  
PAT-NO: JP411040683A  
DOCUMENT-IDENTIFIER: JP 11040683 A  
TITLE: SEMICONDUCTOR MEMORY AND ITS MANUFACTURE

PUBN-DATE: February 12, 1999

INVENTOR-INFORMATION:

NAME

TORII, KAZUNARI

MIKI, HIROSHI

FUJISAKI, YOSHIHISA

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP09196221

APPL-DATE: July 22, 1997

INT-CL (IPC): H01L021/8247; H01L029/788 ; H01L029/792 ;  
H01L027/04  
; H01L021/822 ; H01L027/10 ; H01L027/108 ; H01L021/8242 ;  
H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor memory with an MFIS(metal ferroelectric insulator semiconductor) transistor structure using a ferroelectric as a gate insulating film, which semiconductor memory permits a fine memory cell suitable for higher integration without processing damage to a channel part.

SOLUTION: A source/drain diffusion layer 7 is formed of a stacked diffusion layer 3 consisting of polycrystalline silicon deposited on a substrate 1, and this stacked diffusion layer 3 is insulated by an oxide film 4 and a side wall insulating film 5 in a self-aligning manner. A groove is formed after the

substrate in a channel part is exposed, and a ferroelectric film 8 is formed by interposing an anti-reflection film 6. The ferroelectric film 8 is processed on the insulating film 4 covering the stacked diffusion layer 3. An ion implantation layer 31 is of the same conductivity type as the diffusion layer 7. Thus, because the gate electrode 9 is processed on the insulating film, the processing damage to the gate edge of the channel part can be suppressed. The width of the groove to be the gate length can be produced with fine structure to be not larger than 0.1  $\mu\text{m}$  and an extra-high integrated memory of a giga-bit class can be realized.

COPYRIGHT: (C)1999, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-40683

(43)公開日 平成11年(1999) 2月12日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

27/10

4 5 1

29/792

27/04

C

27/04

27/10

6 5 1

21/822

29/78

3 0 1 G

審査請求 未請求 請求項の数8 O L (全 8 頁) 最終頁に続く

(21)出願番号

特願平9-196221

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22)出願日

平成9年(1997) 7月22日

(72)発明者 鳥居 和功

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 三木 浩史

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 藤崎 芳久

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

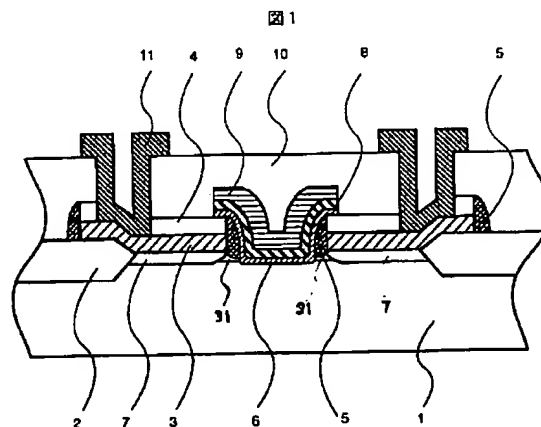
(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【課題】チャネル部への加工ダメージがなく高集積化に好適な微細なメモリセルを可能にする、強誘電体をゲート絶縁膜に用いたM F I Sトランジスタ構造の半導体記憶装置を提供する。

【解決手段】ソース／ドレイン拡散層7は基板1上に堆積した多結晶シリコンからなる積み上げ拡散層3により形成し、この積み上げ拡散層3を自己整合的に酸化膜4と側壁絶縁膜5で絶縁する。チャネル部の基板を露出して溝を形成し、反応防止層6を介して強誘電体膜8を形成する。強誘電体膜は、積み上げ拡散層を覆う絶縁膜4上で加工する。イオン注入層31は拡散層7と同じ導電型とする。

【効果】ゲート電極9は絶縁膜上で加工するため、チャネル部のゲートエッジへの加工ダメージを抑制できる。ゲート長となる溝の幅は0.1  $\mu$ m以下の微細化が可能であり、ギガビットクラスの超高集積メモリを実現できる。



## 【特許請求の範囲】

【請求項1】素子間分離領域を持つ第1導電型の半導体基板に所定間隔で形成された第2導電型の半導体領域と、第2導電型の半導体領域間の半導体基板上に反応防止膜と強誘電体膜の積層膜を介したゲート電極を有し、このゲート電極に印加する電圧により生じる強誘電体膜の分極方向によって第2導電型の半導体領域間に流れる電流を制御する半導体記憶装置において、第2導電型の半導体領域は半導体基板上に積層され、該第2導電型の半導体領域を拡散源として半導体基板に形成された拡散領域と側壁絶縁膜下の第2導電型のイオン注入領域をソース/ドレイン領域とし、第2導電型の半導体領域は側壁を覆う側壁絶縁膜によって反応防止膜と強誘電体膜との積層膜から絶縁され、強誘電体膜は側壁絶縁膜に覆われていない基板表面部分に反応防止膜を介して接し、ゲート電極は第2導電型の半導体領域を覆う層間絶縁膜上まで延在していることを特徴とする半導体記憶装置。

【請求項2】前記強誘電体膜が、チタン酸鉛、チタン酸ランタン鉛、チタン酸ジルコン酸鉛、チタン酸ジルコン酸ランタン鉛、あるいは、チタン酸ビスマスなどのビスマス層状強誘電体、のいずれかからなる請求項1に記載の半導体記憶装置。

【請求項3】前記反応防止膜が酸化セリウムである請求項1または請求項2に記載の半導体記憶装置。

【請求項4】前記側壁絶縁膜が、窒化シリコン膜、窒化シリコン膜と酸化チタンの積層膜、あるいは、窒化シリコン膜と酸化ジルコニウムの積層膜のいずれかである請求項1～3のいずれか1項に記載の半導体記憶装置。

【請求項5】前記第2導電型の半導体領域が、多結晶シリコン膜と金属珪化物の積層膜である請求項1～4のいずれか1項に記載の半導体記憶装置。

【請求項6】前記イオン注入層は、砒素のイオン注入層である請求項1～5のいずれか1項に記載の半導体記憶装置。

【請求項7】素子間分離領域を持つ第1導電型の半導体基板に所定間隔で形成された第2導電型の半導体領域と、第2導電型の半導体領域間の半導体基板上に反応防止膜と強誘電体膜の積層膜を介したゲート電極を有し、このゲート電極に印加する電圧により生じる強誘電体膜の分極方向によって第2導電型の半導体領域間に流れる電流を制御する半導体記憶装置の製造方法において、半導体基板上に第2導電型の非晶質半導体と絶縁膜の第1の積層膜を堆積する工程と、第1の積層膜を所定間隔に分離して第2導電型の半導体領域を形成する工程と、第1の積層膜の側壁を絶縁膜によって覆う工程と、前記側壁絶縁膜に覆われていない半導体基板表面部分に第2導電型の不純物領域を形成する工程と、前記側壁絶縁膜に覆われていない半導体基板をエッチングして第2導電型の不純物拡散領域を分離して溝状の領域を形成する工

程と、半導体基板部分に反応防止膜と強誘電体膜とゲート電極からなる第2の積層膜を堆積する工程と、該第2の積層膜を第2導電型の半導体領域を覆う層間絶縁膜上で加工する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項8】前記第2導電型の非晶質半導体は燐を不純物とする非晶質シリコン膜であり、前記第2導電型の不純物領域は砒素のイオン注入により形成されてなる領域である請求項7記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体記憶装置及びその製造方法に係り、特に、強誘電体薄膜を電界効果トランジスタのゲート絶縁膜に用いた、非破壊読みだしが可能な半導体記憶装置及びその製造方法に関する。

## 【0002】

【従来の技術】従来、強誘電体を電界効果トランジスタのゲート絶縁膜として用いるメタルフェロエレクトリックセミコンダクタ(MFS)トランジスタとしては、例えば、アイ・イー・イー・イー トランザクション オン エレクトロン デバイセス、ED-21巻、第8号、1974年8月、第499～504頁(IEEE Trans, Electron Devices, vol.ED-21, No.8, pp.499-504, Aug. 1974)に記載されており、図9に示す様な構造をしている。尚、図9において参照符号1は半導体基板、2は素子間分離絶縁膜、7はソース/ドレイン領域、8は強誘電体膜、9はゲート電極である。

【0003】pチャネルトランジスタを例にとると、図13の(a)に矢印で示すように、強誘電体膜8の分極が半導体基板1の方向を向いているときにはチャネル部は電荷蓄積状態になるので、ゲート電極9に読みだしバースを加えてもMFSトランジスタはオンしない。一方、同図(b)に示すように、ゲート電極9に強誘電体膜8の抗電場以上の逆電圧を印加すると、強誘電体膜8の分極は反転してチャネル部が反転状態になり反転層が形成される結果、MFSトランジスタはオンする。従って、フラッシュメモリなどと同様に、トランジスタのオン/オフにより情報を読みだすことが出来るメモリ素子として使用できる。尚、nチャネルトランジスタの場合は、強誘電体膜8の分極の向きが上記pチャネルトランジスタの場合と反対になるようにゲート電極に電圧を印加すれば、同様にオン/オフを行えることは勿論である。

【0004】このメモリ素子の構造は、メモリセルを1個のMFSトランジスタのみから構成できるので、集積化に適している。また、このメモリセルは、高速で書き込み読み出しが可能な不揮発性メモリでもある。このメモリセルを用いると情報を非破壊で読みだすことが出来るため、情報読みだし時の再書き込みが不要となる。また、この1個のMFSトランジスタからなるメモリセル

はデータの読出し時には分極が反転しないので、1トランジスタ・1強誘電体キャパシタからなるメモリセルの場合のように分極反転の繰り返しにより強誘電体の特性が劣化して読み出し回数が制限されるということもない。

【0005】しかし、MFISTランジスタでは、チャネル部の構造として強誘電体と半導体の直接の界面を用いているため、その界面において、キャリアの注入、界面での材料の相互拡散、界面準位やトラップの形成などの問題が発生し、良好な特性が得られなかった。

【0006】これらの問題を解決する為、例えば、アイ・イー・ディー・エム テクノロジー ダイジェスト、1994年、第7頁～第16頁 (IEDM Tech. Dig., pp. 7-16, 1994,) に記載されているように、図10に示す様な強誘電体膜8と半導体基板1の間に反応防止膜101を入れたメタル-フェロエレクトリック-インシュレーター-セミコンダクタ (MFIS) トランジスタ構造が提案されている。

【0007】このMFISTランジスタ構造によると、強誘電体膜8/反応防止膜101の積層膜を加工する際に、ゲート電極周辺のソース/ドレイン領域7に加工ダメージが入ってトランジスタ特性を著しく劣化させてしまうという問題があった。

【0008】この問題を解決する為、図11に示すように、MFISTランジスタ構造のソース/ドレイン領域7を低誘電率膜111で覆った後、強誘電体膜8を形成し、加工する製造方法が提案されている。この製造方法に関しては、特開平5-121760号公報に開示されている

【0009】

【発明が解決しようとする課題】しかしながら、前述した特開平5-121760号公報に開示されているMFISTランジスタ構造の製造方法によれば、ソース/ドレイン領域7と強誘電体膜8が覆っているチャネル領域とを自己整合的に形成できないため、高集積化には適していない。この製造方法では、合わせずれの問題を解決する為に強誘電体膜8の周囲の低誘電率膜111をウェットエッチングにより除去し、再度イオン注入を行ないソース/ドレイン領域7と接続する領域7aを形成する。

【0010】しかし、クォーターミクロン以下の加工寸法を必要とする256メガビット～1ギガビットクラスの高集積メモリに使用できるメモリセルを目標とした場合、ウェットエッチングによる加工では寸法制御が困難となる。たとえ寸法制御ができるとしても、ウェットエッチングにより除去する領域7aの部分をパターニングするために、ソース/ドレイン領域の幅を少なくとも最小加工寸法分は広くする必要があり、高集積化には不利である。また更に、イオン注入後の活性化熱処理によって強誘電体膜8の特性が著しく劣化してしまうという問

題もある。

【0011】そこで、本発明の目的は、ゲート電極周辺のソース/ドレイン領域に加工ダメージを与えることが無く、しかも加工寸法にクォーターミクロン以下が要求される256メガビット～1ギガビットクラスの高集積メモリに使用可能な高集積化に適したMFISTランジスタ構造の半導体記憶装置及びその製造方法を提供することにある。

【0012】

10 【課題を解決するための手段】積み上げ拡散層型構造を採用し、強誘電体膜の加工をチャネル部から離れた場所で行なうことによりチャネル領域への加工ダメージを回避する。具体的には、図1に示したように、拡散層の一部を半導体基板1や素子間分離絶縁膜2の上に積み上げた構造とし、ここからの不純物拡散を用いて基板内部の拡散層を形成する。

【0013】トランジスタのチャネル部は、半導体基板1内部の溝の側壁及び底面に沿って形成される。すなわち、通常のMOSトランジスタではゲート電極がゲート絶縁膜を介して接している基板表面にチャネル部が形成されるのに対して、本発明のMFISTランジスタでは溝の側面と底面の両方に渡ってチャネルが形成されるため、ゲート幅に対してチャネル長が長くなる。

【0014】また、強誘電体膜は反応防止膜を介して堆積され、積み上げ拡散層上で加工される構造であるので、チャネル部はダメージを受けることがなく、トランジスタ特性は影響を受けない。

【0015】

30 【発明の実施の形態】次に、本発明に係る半導体記憶装置及びその製造方法の好適な実施の形態につき、添付図面を参照しながら以下詳細に説明する。

【0016】図1は、本発明に係る半導体記憶装置の実施の形態例を示す断面構造である。図1に示した構造において、参照符号1はp型半導体基板、2は素子間分離絶縁膜、3は積み上げ拡散層、4は層間絶縁膜となる酸化膜、5は側壁絶縁膜、6は反応防止膜、7はソース/ドレイン領域となるn形の不純物拡散層、8は強誘電体膜、9はゲート電極、10は層間絶縁膜、11は配線である。

40 【0017】ところで、通常のMOSFETにおいて素子寸法が小さくなると、チャネル部における電界へのソース/ドレイン拡散層の影響が顕著になってくるため、短チャネル効果と呼ばれるしきい値電圧の低下やパンチスルーなどの問題が生じてくる。短チャネル効果を抑制するためには、拡散層の接合を浅くしたり、基板不純物濃度を増加させるなどの対策がとられてきた。しかし、拡散層の接合を浅くすると拡散層抵抗が増大し、性能が劣化してしまう。

50 【0018】これに対して、積み上げ拡散層型のMOSFETは拡散層抵抗を小さくすることが可能であり、更

5

に、溝型ゲート構造と組み合わせることにより接合の深さを実質的にゼロにできるので、短チャネル効果の抑制に効果があることが知られている。

【0019】従って、図1に示したMFISTランジスタ構造を有する本発明の半導体記憶装置も、積み上げ拡散層型のMOSFETと同様に、微細化に伴う短チャネル効果の抑制に効果がある。

【0020】また、図1に示したMFISTランジスタ構造は、ゲート長が積み上げ拡散層3を分離する溝の幅と、積み上げ拡散層3の側壁を覆う側壁絶縁膜5の膜厚とで自己整合的に決まるため、最小加工寸法よりも小さなゲート長を実現することができる。ホトリソグラフィ工程に位相シフト露光法などの高解像度化技術を用いれば、光源波長に1線を用いても0.25 $\mu$ m程度の加工が可能であるから、側壁絶縁膜5の水平方向の厚さを0.1 $\mu$ mとすれば、ゲート長0.05 $\mu$ mまでの微細化が可能である。

【0021】更に、図1に示した構造は、チャネル部が溝型ゲート電極の底面に沿って半導体基板1の内部に形成されるため、溝を深くすることにより、実効チャネル長をゲート長よりも長くすることができる。このため、ゲート長を微細化しても安定に動作するMFISTランジスタを実現可能である。従って、本発明に係るMFISTランジスタ構造を有する半導体記憶装置は、ギガビットクラスの超高集積メモリを実現するのに好適である。

【0022】このようなMFISTランジスタ構造を有する半導体記憶装置の製造方法の実施の形態例を、図2～図8を用いて説明する。まず、p型半導体基板1上に選択酸化膜成長法を用いて、素子間分離絶縁膜2を形成する。尚、図示はしないが選択酸化を行なう際の窒化シリコン膜をマスクにしてボロンを $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、素子分離特性を改善した。

【0023】次に、図2に示すように、p型半導体基板1の表面を露出させ、化学気相成長法(CVD法)を用いて膜厚100nmの非晶質シリコン膜21を堆積させた。この際、p型半導体基板1と非晶質シリコン膜21の界面に自然酸化膜等が形成されないよう十分に注意する必要がある。この非晶質シリコン膜21に、p型半導体基板1とは導電型の異なる不純物をイオン注入する。但し、不純物イオンは非晶質シリコン膜21中に留まり、p型半導体基板1までは到達しない条件とする。具体的には、燐を20keV、 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入した。

【0024】次に、図3に示すように、常圧CVD法により450℃で酸化膜4を堆積した後、この酸化膜4及び非晶質シリコン膜21をトランジスタのソース/ドレイン領域となるように分離する。具体的には、ホトリソグラフィ法を用いて所望のレジストパターンを形成し、このレジストパターンをマスクに酸化膜4を加工し、レ

6

ジストパターンを除去した後、酸化膜4をマスクに非晶質シリコン膜21を加工し、後述するソース/ドレインの拡散源となる積み上げ拡散層3を形成した。

【0025】次に、表面保護のための薄い酸化膜(不図示)を形成し、この酸化膜を通してp型半導体基板1に積み上げ拡散層3と同導電型の不純物をイオン注入し、図4に示すように、n型イオン注入層31を形成する。具体的には、砒素を15keV、 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入した。この薄い酸化膜を形成する際、非晶質シリコン21からなる積み上げ拡散層3は、結晶化して多結晶シリコンになると共に、この積み上げ拡散層3に打ち込んだn型不純物の燐の一部がp型半導体基板1へ拡散し、ソース/ドレイン領域となるn型拡散層7が形成される。表面保護の薄い酸化膜を除去した後、厚さ100nmの窒化シリコン膜を堆積し、異方性ドライエッチング法を用いて膜厚分だけエッチングすることにより側壁にのみ窒化シリコン膜5を残し、自己整合的に積み上げ拡散層3を絶縁した。

【0026】次に、図5に示すように積み上げ拡散層3の間に露出したp型半導体基板1を異方性ドライエッチング法により掘り下げ、溝状のチャネル領域51を形成する。p型半導体基板1を掘り下げる溝の深さは、先にイオン注入して形成したn型イオン注入層31の拡散深さよりも僅かに深い位置とする。具体的には、窒化シリコン膜5を堆積した時の砒素の拡散深さが約50nmなので、60nmだけp型半導体基板1を掘り下げた。尚、この溝は、平面レイアウトで見た場合に、ゲート電極に対して自己整合的にソース/ドレイン領域を形成する通常のMOSトランジスタにおけるゲート電極パターンのように、マスクパターン上で連続して形成されているソース/ドレイン領域を分割するように形成されていることは勿論である。

【0027】異方性ドライエッチング時に基板表面に生じたドライエッチングダメージ層を洗浄により除去した後、図6に示したように反応防止膜6を堆積した。本実施の形態例では、 $10^{-9} \text{ Torr}$ 以下の超高真空中で蒸着法により厚さ10nmの酸化セリウム( $\text{CeO}_2$ )を900℃の温度条件で堆積した。 $\text{CeO}_2$ はシリコンとの格子整合性が良く、界面単位やトラップの発生を防ぐと共に、強誘電体とシリコンの相互拡散を防止する働きがある。先の、窒化シリコン膜5の堆積工程及び反応防止膜6の堆積工程において、更に非晶質シリコンからなる積み上げ拡散層3の結晶化が進み多結晶シリコンになると共に、非晶質シリコン膜21に打ち込んだ燐の一部がp型半導体基板1中へ拡散して形成されたソース/ドレイン領域7は更に深くなる。

【0028】次に、図7に示すように強誘電体膜8を堆積する。ゲート電極に印加する電圧は、強誘電体膜8と反応防止膜6で分割されることになるので、低電圧で強誘電体膜の分極を反転するのに十分な電圧が印加される

ようにするためには、比誘電率の小さい強誘電体膜が望ましい。本実施の形態例では膜厚が100nm、比誘電率が約200のチタン酸ランタン鉛を反応性蒸着法により形成した。CeO<sub>2</sub>の比誘電率は約26であるから、ゲート電圧を5Vとした場合、強誘電体膜には約2.8Vの電圧が印加されることになり、十分に分極を反転させることが出来る。

【0029】次に、図8に示すように、ゲート電極9を堆積し、ホトリソグラフィ法とドライエッチング法を用いてゲート電極を所望のパターンに形成する。本実施の形態例では、ゲート電極材料としてルテニウムを用いた。レジスト81をマスクにしてゲート電極9を加工するに際しては、積み上げ拡散層3上の酸化膜4が下地となるため、チャンネル部はダメージを受けることがない。従って、トランジスタ特性はゲート電極加工時の影響を受けない。

【0030】最後に、層間絶縁膜10を堆積し、コンタクト孔を開口し、配線11を施して図1に示した本発明の半導体記憶装置を完成した。

【0031】本実施の形態例では、強誘電体膜8としてチタン酸ランタン鉛を用いたが、チタン酸鉛や、チタンがジルコニウムより多く含まれる組成のチタン酸ジルコニウム酸鉛や、チタン酸ジルコニウム酸ランタン鉛、或るいはチタン酸ビスマスなどのビスマス層状強誘電体材料を用いてもよい。

【0032】また、本実施の形態例では側壁絶縁膜5として窒化シリコン膜を用いたが、反応防止膜6の段差被覆性が不十分等の理由で窒化シリコン膜5と強誘電体膜8の反応が起こる可能性のある場合には、図12に示したように側壁絶縁膜5と反応防止膜6の間に酸化チタンや酸化ジルコニウムを側壁反応防止膜121として積層して用いることにより、信頼性を向上させることが可能である。また、積み上げ拡散層3を低抵抗化したい場合には、積み上げ拡散層3となる非晶質シリコン膜を堆積させた直後にシリサイド膜122を堆積し、非晶質シリコン膜への不純物の導入はこのシリサイド膜122を通したイオン注入により行なうことにより、好ましい結果が得られる。尚、図12において、図1と同一の構成部分には同一の参照符号を付して、その詳細な説明は省略する。

【0033】以上、本発明の好適な実施の形態について説明したが、本発明は前記実施の形態に限定されことなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【0034】

【発明の効果】前述した発明の実施の形態例から明らかに、本発明に係る半導体記憶装置の製造方法によ

れば、強誘電体膜のドライエッチングによるトランジスタのチャンネル領域周辺への損傷を抑制することができ、トランジスタ特性を劣化させることなくMFIストランジスタ構造の強誘電体不揮発性メモリを製造することができる。

【0035】本発明に係る半導体記憶装置の構造は、ゲート長0.1μm程度までの微細化が可能であるので、ギガビットクラスの超高集積メモリが実現可能である。

【0036】また、メモリセルとして本発明に係る半導体記憶装置を用いれば、高集積強誘電体不揮発性メモリが実現できるばかりではなく、これらのメモリセルとロジックLSIを同一チップ上に集積化した高機能LSIや、強誘電体不揮発性メモリにより配線を変えられるフィールドプログラマブルロジックLSIを実現することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置の一実施の形態例を示す断面図である。

【図2】本発明に係る半導体記憶装置の製造方法の一実施の形態例を製造工程順に示す断面図である。

【図3】図2の次の製造工程を示す断面図である。

【図4】図3の次の製造工程を示す断面図である。

【図5】図4の次の製造工程を示す断面図である。

【図6】図5の次の製造工程を示す断面図である。

【図7】図6の次の製造工程を示す断面図である。

【図8】図7の次の製造工程を示す断面図である。

【図9】強誘電体膜をゲート絶縁膜に用いた半導体記憶装置の従来例を示す断面図である。

【図10】強誘電体膜をゲート絶縁膜に用いた半導体記憶装置の別の従来例を示す断面図である。

【図11】強誘電体膜をゲート絶縁膜に用いた半導体記憶装置のまた別の従来例を示す断面図である。

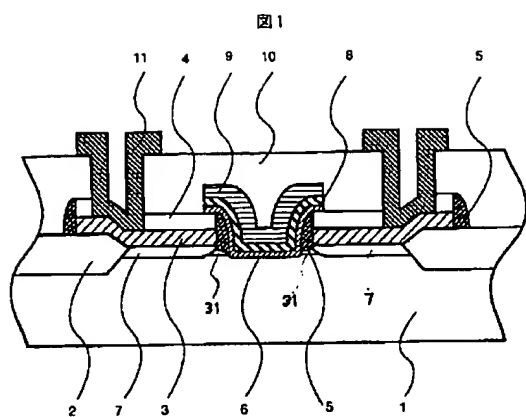
【図12】本発明に係る半導体記憶装置の別の実施の形態例を示す断面図である。

【図13】強誘電体ゲート電界効果トランジスタの動作を説明するための断面図である。

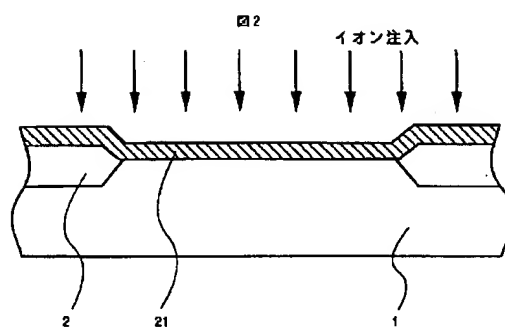
【符号の説明】

1…半導体基板、2…素子間分離絶縁膜、3…積み上げ拡散層、4…層間絶縁膜、5…側壁絶縁膜（窒化シリコン膜）、6…反応防止膜、7…不純物拡散層（ソース/ドレイン領域）、8…強誘電体膜、9…ゲート電極、10…層間絶縁膜、11…配線、21…非晶質シリコン膜、31…イオン注入層、51…チャンネル領域、81…レジスト、101…ゲート絶縁膜、111…低誘電率膜、121…側壁反応防止膜、122…シリサイド（金属珪化物）。

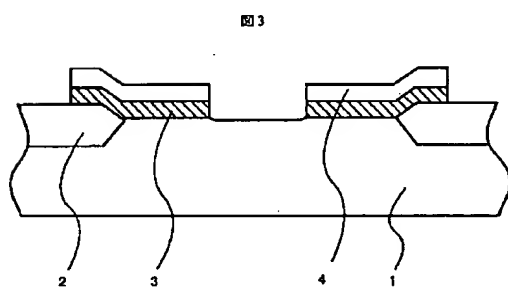
【図1】



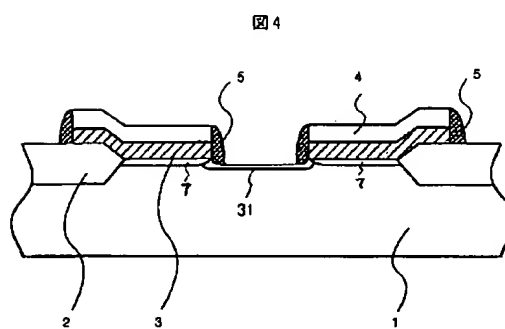
【図2】



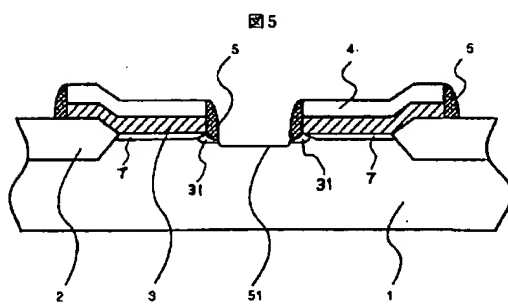
【図3】



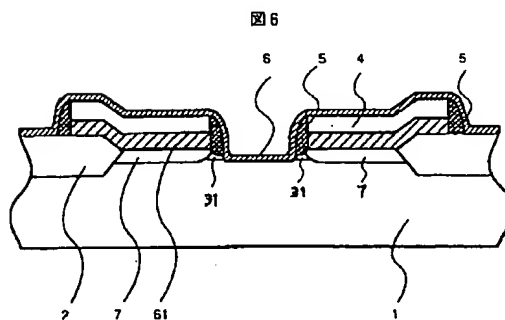
【図4】



【図5】

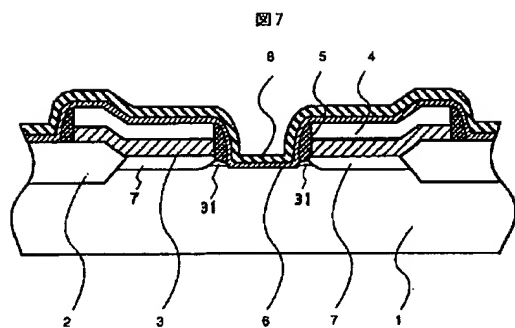


【図6】

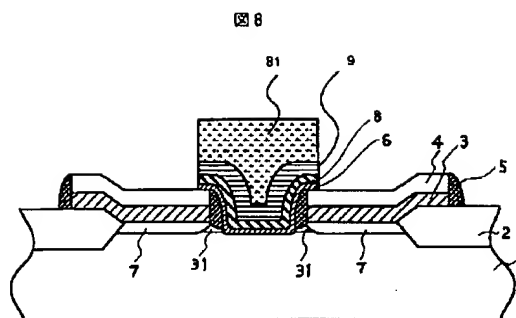




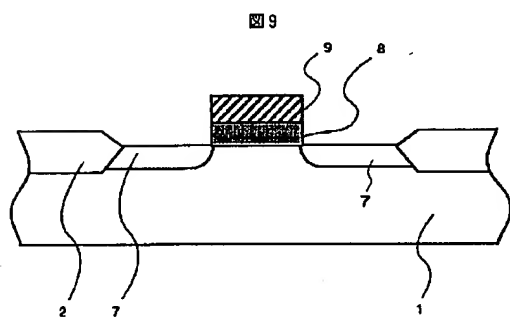
【図7】



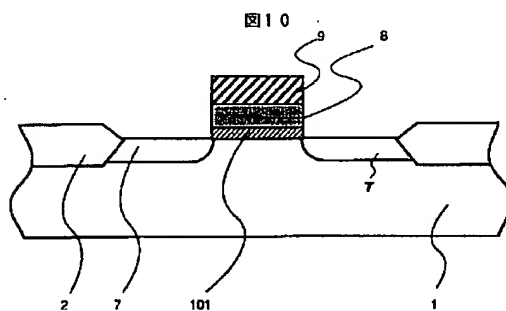
【図8】



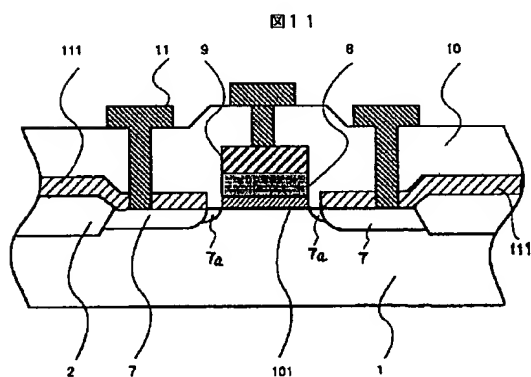
【図9】



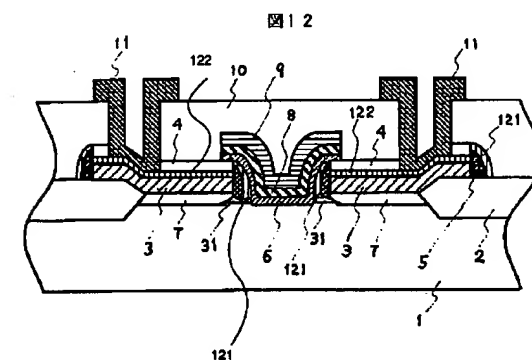
【図10】



【図11】

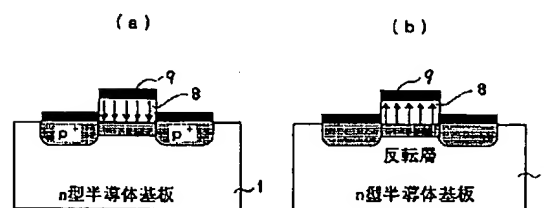


【図12】



【図13】

図13



(8)

特開平11-40683

フロントページの続き

(51)Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/10

4 5 1

27/108

21/8242

29/78